

Índice

Prefácio	11
-----------------	----

Capítulo 1

Introdução

1.1. Sinais digitais binários	16
1.2. Amostragem	18
1.3. Quantização	20
1.4. Codificação	22
1.5. Transferência de informação digital via série e paralelo	24
1.6. Síntese	25

Capítulo 2

Sistemas de numeração

2.1. Conversão para decimal	31
2.2. Conversão de decimal para binário, octal ou hexadecimal	33
2.3. Conversão de binário para octal ou hexadecimal e vice-versa	36
2.4. Conversão de decimal para binário e vice-versa, recorrendo a uma tabela de conversão	40

2.5. Operações aritméticas	41
2.5.1. Adição	42
2.5.2. Subtração	46
2.5.3. Multiplicação	48
2.5.4. Divisão	52
2.6. Códigos bipolares: números positivos e negativos	55
Exercícios Resolvidos	59
Resolução dos Exercícios	63

Capítulo 3

Álgebra de *Boole* e portas lógicas

3.1. Portas básicas (AND, OR e NOT)	95
3.2. Portas universais (NAND e NOR)	97
3.3. Expressões algébricas <i>versus</i> diagrama lógico	99
3.4. Simplificação algébrica de expressões booleanas	103
3.4.1. Teoremas de Álgebra de <i>Boole</i>	104
3.4.2. Teoremas de <i>DeMorgan</i>	108
3.4.3. Simplificação de expressões	108
3.5. Universalidade das portas NAND e NOR	113
3.6. Portas EX-OR e EX-NOR	119
Exercícios Resolvidos	123
Resolução dos Exercícios	127

Capítulo 4

Tabelas de verdade e mapas de *Karnaugh*

4.1. Preenchimento da tabela de verdade	160
4.2. Obtenção da função a partir da tabela de verdade	163
4.3. Redução da tabela de verdade	169

4.4. Mapas de <i>Karnaugh</i>	174
4.4.1. Mapas de duas variáveis	174
4.4.2. Mapas de três variáveis	177
4.4.3. Mapas de quatro variáveis	179
4.4.4. Mapas com mais de cinco variáveis	182
4.4.5. Preenchimento do mapa de <i>Karnaugh</i>	183
4.4.6. Simplificação de expressões recorrendo aos mapas de <i>Karnaugh</i>	186
4.4.7. <i>Don't Care Condition</i>	197
4.4.8. Simplificação de mapas de <i>Karnaugh</i> com expressões algébricas	202
Exercícios Resolvidos	207
Resolução dos Exercícios	217

Capítulo 5

Circuitos integrados

5.1. Classificação dos CI	255
5.2. Equipamento de treino	259
5.3. Planta de montagem	261

Capítulo 6

Circuitos combinacionais

6.1. Projecto de um circuito somador	269
6.2. Projecto de um circuito subtrator	274
6.3. Projecto de um circuito comparador	279
6.4. Projecto de codificadores	283
6.4.1. Codificador para código excesso 3	284
6.4.2. Codificador para código <i>Gray</i>	286
6.5. Projecto de um gerador de paridade	289

6.6. Circuitos combinacionais dedicados	291
6.6.1. Descodificador/ <i>Driver</i> BCD – 7 segmentos	292
6.6.2. DEC/DEMUX	297
6.6.3. Codificadores	304
6.6.4. <i>Multiplexers</i>	305
6.6.5. Circuitos Aritméticos	315
6.6.6. Circuitos de memória	319
Exercícios Resolvidos	327
Resolução dos Exercícios	337

Capítulo 7

Circuitos sequenciais

7.1. <i>Latch</i> S-R	384
7.2. <i>Latch</i> J-K	388
7.3. <i>Flip-Flop</i> J-K baseado em portas NAND	391
7.4. <i>Flip-Flops</i> sensíveis à borda ascendente e descendente do relógio	393
7.5. <i>Flip-Flop</i> J-K Mestre-Escravo	395
7.6. <i>Flip-Flops</i> T e D	398
7.7. Aplicações mais comuns dos <i>Flip-Flops</i>	400
7.8. Modelo de <i>Moore</i> e <i>Mealy</i>	405
7.9. Análise de circuitos sequenciais	407
7.10. Projecto de circuitos sequenciais	418
Exercícios Resolvidos	435
Resolução dos Exercícios	443

Contadores

8.1. Contadores assíncronos	484
8.2. Contadores síncronos	489
8.3. Contador 74163	499
Exercícios Resolvidos	511
Resolução dos Exercícios	519
Bibliografia	549